

⑩ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭59—92483

⑬ Int. Cl.<sup>3</sup>  
G 11 C 7/00

識別記号

庁内整理番号  
6549—5B

⑭ 公開 昭和59年(1984)5月28日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑮ 半導体記憶装置

⑯ 特 願 昭57—201958  
⑰ 出 願 昭57(1982)11月19日  
⑱ 発 明 者 佐野亮一  
小平市上水本町1450番地株式会

社日立製作所武蔵工場内  
⑲ 出 願 人 株式会社日立製作所  
東京都千代田区丸の内1丁目5  
番1号  
⑳ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体記憶装置

特許請求の範囲

1.  $\times n$ ビットのデータを随時書き込み及び読み出す機能と、内部で形成されたアドレス信号に従って上記 $\times n$ ビットのデータを順次書き込み及び読み出す機能と、上記両機能を外部制御信号に従って選択する制御機能とを具備することを特徴とする半導体記憶装置。

2. 上記内部アドレス信号は、双方向カウンタ回路により形成されるものであることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 上記 $\times n$ ビットのデータを保持するメモリアレイ部は、スタティック型メモリセルにより構成されるものであることを特徴とする特許請求の範囲第1又は第2項記載の半導体記憶装置。

発明の詳細な説明

この発明は、半導体記憶装置に関する。

この発明の目的は、新規で機能を拡大した半導体記憶装置を提供することにある。

この発明の他の目的は、以下の説明及び図面から明らかになるであろう。

以下、この発明を実施例とともに詳細に説明する。

図面には、この発明の一実施例のブロック図が示されている。

同図において、破線で囲まれた各回路ブロックは、公知の半導体集積回路の製造技術により1個の半導体基板上において形成される。

メモリアレイ M-ARY は、特に制限されないが、スタティック型のフリップフロップ回路がメモリセルとして用いられ、マトリクス状に配置されている。

Xデコード X-DCR は、上記メモリアレイ M-ARY のワード線選択を行う。Yデコード Y-DCR は、データ線選択を行う。この実施例では、1つのデータ線選択信号により、 $n$ 組のデータ線が選択されるので、 $n$ ビットのデータの書き込み及び読み出しが行われる。したがって、入出力回路 I/O は、 $n$ 組のデータ入力回路とデータ出力回

路とにより構成される。

上記X及びYデコードX、Y-DCRに供給されるアドレス信号ADは、マルチプレクサMPXを介して次の2種類のアドレス信号AD1、AD2が選択的に供給される。

アドレスバッファADBは、上記メモリアレイM-ARYの選択動作を随時(ランダム・アクセス)に行うためのものであり、IC外部から供給されたアドレス信号を受け、上記一方のアドレス信号AD1を形成する。

カウンタCOUNTは、アップ/ダウンカウンタであり、上記メモリアレイM-ARYの選択動作を順次(シーケンシャル)に行うためのものであり、IC外部から供給されるタイミング信号φに従ってアドレス歩進動作が行われる。

制御回路CONTは、IC外部からの動作モード信号に従ってこの半導体記憶装置を上記ランダム・アクセス動作又はシーケンシャル動作を選択的に行わせるための各種制御信号を形成する。

上記動作モード信号のうち、WEはライトイネ

ーブル信号であり、例えばハイレベルなら読み出し動作、ロウレベルなら書き込み動作を指示する。具体的には、入出力回路I/Oの制御タイミングφrwを形成して、例えば、この信号φrwがハイレベルならデータ出力回路を動作させて選択されたメモリセルからの読み出し情報をIC外部に送出し、上記信号φrwがロウレベルならデータ入力回路を動作させてIC外部から供給される書き込み情報を選択されたメモリセルに伝える。

CSはチップ選択信号であり、例えばハイレベルならこのICチップが非選択状態に、ロウレベルなら選択状態にされる。具体的には、上記ロウレベルならアドレスバッファADBを動作にするタイミング信号φaとカウンタCOUNTの入力タイミング信号φを受付けるようにする。

Cは動作切り換え信号であり、例えばハイレベルならランダム・アクセス動作、ロウレベルならシーケンシャル動作を行わせる。このような動作切り換えは、例えば、信号φmxがハイレベルならマルチプレクサMPXをアドレスバッファADB

例として、アドレス信号AD1を伝え、信号φmxがロウレベルならマルチプレクサMPXをカウンタCOUNT例として、アドレス信号AD2を伝えることにより区別される。

U/Dは、アップ/ダウン動作制御信号であり、例えばハイレベルならカウンタCOUNTをアップカウント動作させ、ロウレベルならカウンタCOUNTをダウンカウント動作させる。

次に、この実施例の半導体記憶装置ICをランダム・アクセス・メモリとして動作させる場合について説明する。

まず、上記動作モード信号Cは、上記のようにハイレベルにされている。するとマルチプレクサMPXがアドレスバッファADB側の信号をXデコード及びYデコードに伝える。従って公知のランダム・アクセス・メモリ(RAM)と同様に、アドレスバッファADBは、チップ選択信号CSがロウレベルに変化した時に発生するタイミング信号φa同期して外部アドレス信号AD1'を取り込んで、内部アドレス信号AD1に加工する。

この内部アドレス信号AD1は、マルチプレクサMPXを通して上記Xデコード及びYデコードに供給され、メモリセルの選択動作が行われる。そして、ライトイネーブル信号WEがハイレベルならデータ出力回路が動作するので、上記選択されたメモリセルの保持情報が出力されて読み出しが行われる。また、ライトイネーブル信号WEがロウレベルならデータ入力回路が動作するので、上記選択されたメモリセルに外部書き込みデータが伝えられて書き込みが行われる。

なお、この実施例においては、上記カウンタCOUNTは、上記チップ選択信号CSのロウレベルの変化により計数動作状態にされているが、タイミングφが入力されないため、実質的には何の動作もしない。

また、この上記の半導体記憶装置ICをシーケンシャル・メモリとして動作させる場合について説明する。

上記動作モード信号Cは、上記のようにロウレベルとされる。するとマルチプレクサMPXがカ

カウンタCOUNTで形成されたアドレス信号AD2をXデコーダ及びYデコーダに伝える。そして、チップ選択信号CSがロウレベルになり、タイミング信号φが入力されるとカウンタCOUNTが計数動作を行い、ライトイネーブル信号WEがロウレベルなら上記制御信号U/Pがハイレベルとされアップカウント動作を行うので先頭アドレスから順次に変化するアドレス信号を形成する。したがって、このアドレス信号AD2に対応したメモリエルの選択が行われ、上記タイミング信号φと同期して入力される書き込みデータ信号Dが順次書き込まれる。一方、上記状態においてライトイネーブル信号WEがハイレベルされると上記制御信号U/PがロウレベルとされカウンタCOUNTを上記書き込み最終アドレスから逆にダウンカウント動作を行わせるので、タイミング信号φに同期して上記書き込んだデータが逆に順次読み出される。すなわち、従来のシーケンシャル・メモリと等価な動作を行わせることができる。

この実施例においては、ランダム・アクセス・

メモリとしての機能とシーケンシャル・メモリとしての機能とを持たせることができる。したがって、例えば、この実施例の半導体記憶装置をマイクロコンピュータシステムの入出力用データバッファに利用した場合、シーケンシャル・メモリ機能を用いて端末装置等からのデータの取込みを簡単高速に行うとともに、この書き込んだデータのうち必要なデータのみをランダム・アクセス・メモリ機能を用いて選択的に読み出して情報処理を行うとともに所定のアドレスに書き替えることができる。このように、この実施例の半導体記憶装置を用いることにより、マイクロコンピュータシステムの情報処理（データの取込み、送出及び実質的な演算）を簡単に高速に行うことができる。

この発明は、前記実施例に限定されない。

メモリアレイは、上記スタティック型のものの他、ダイナミック型のものを用いるものであってもよい。そして、メモリアレイのアドレス設定動作を上記のようにランダム・アクセス動作とシーケンシャル・アクセス動作とを選択的に切り換え

る回路は、種々の実施形態を採ることができるものである。

図面の簡単な説明

図面は、この発明の一実施例を示すブロック図である。

M-ARY・・・メモリアレイ、X-DCR・・・Xデコーダ、Y-DCR・・・Yデコーダ、I/O・・・入出力回路、MPX・・・マルチプレクサ、ADB・・・アドレスバッファ、COUNT・・・カウンタ、CONT・・・制御回路

代理人弁理士 海田

